

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-196853  
(P2001-196853A)

(43) 公開日 平成13年7月19日 (2001.7.19)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト* (参考)
H 0 3 B 5/12		H 0 3 B 5/12	G
H 0 1 G 7/06		H 0 1 G 7/06	

審査請求 有 請求項の数 5 O L (全 5 頁)

(21) 出願番号 特願2001-84(P2001-84)  
(22) 出願日 平成13年1月4日 (2001.1.4)  
(31) 優先権主張番号 09/483368  
(32) 優先日 平成12年1月14日 (2000.1.14)  
(33) 優先権主張国 米国 (US)

(71) 出願人 390009531  
インターナショナル・ビジネス・マシーンズ・コーポレーション  
INTERNATIONAL BUSINESS MACHINES CORPORATION  
アメリカ合衆国10504、ニューヨーク州アーモンク (番地なし)  
(72) 発明者 ジャン=マルク・ムーラン  
アメリカ合衆国01450 マサチューセッツ州グロトン マクレーンズ・ウッズ 14  
(74) 代理人 100086243  
弁理士 坂口 博 (外2名)

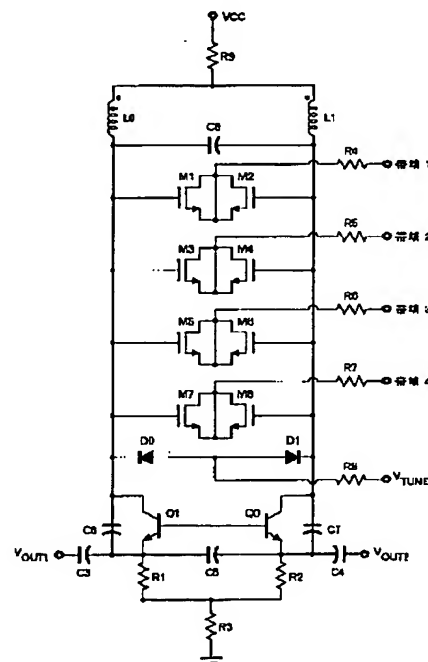
最終頁に続く

(54) 【発明の名称】 帯域スイッチされる集積電圧制御発振器

(57) 【要約】

【課題】 帯域スイッチされる集積電圧制御発振器を提供すること。

【解決手段】 並列共振回路へスイッチし、また並列共振回路からはずすことができる2端子容量デバイスを形成するようにソースとドレインを互いに電気的に接続することによって、FETデバイスのソース対ドレイン容量を使用する。すなわち、ソースとドレインが互いに接続されたFETデバイスの組を、複数の異なる個々の帯域内で同調可能な周波数の出力電圧信号を生成する回路で使用する。得られた電圧制御発振器は、セルラ電話および関係する無線システムで、または集積された高周波電圧制御発振器回路が所望される他の状況で、特に有用である。



## 【特許請求の範囲】

【請求項1】ソース、ゲート、およびドレインを有する電界効果トランジスタと、

それらに対する電気的接続部とを備え、前記ソースと前記ドレインがそれによって互いに電気的に接続されてキャパシタの第1端子を形成し、前記ゲート接続部がキャパシタの第2端子を形成する2端子キャパシタ。

【請求項2】前記トランジスタがMOSFETである、請求項1に記載のキャパシタ。

【請求項3】キャパシタを含む共振回路と、複数の容量素子対であって、容量素子の少なくとも1つがFETデバイスを含み、そのソースとドレインが互いに接続されて2端子容量素子の一方の端子を形成し、前記FETデバイスのゲートが前記少なくとも1つの容量素子の第2端子であり、容量素子対の各メンバが直列に接続され、容量素子対が前記共振回路のキャパシタと並列に接続された、複数の容量素子対と、前記素子対のうち選択された対の容量を変更する手段とを備える電圧制御同調回路。

【請求項4】前記変更手段が、前記ゲートの1つを選択するために電圧を印加する回路を含む、請求項3に記載の回路。

【請求項5】前記各容量素子対がFETデバイスを含む、請求項3に記載の回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、一般に電圧制御発振器構成要素および回路を対象とする。より詳細には、本発明は、容量が印加電圧の関数として変化する回路素子として電界効果トランジスタを使用した、帯域スイッチされる集積電圧制御発振器を対象とする。さらに詳細には、本発明は、周波数合成器で特に有用であり、セルラ電話システムおよびデバイスでとりわけ有用である電圧制御発振器回路を対象とする。

## 【0002】

【従来の技術】電圧制御発振器(VCO)は、一般に無線電子装置で使用され、その他に周波数合成器システムの一部として使用されている。しかし、これまで、これらの回路を集積回路デバイスに組み込むことには抵抗があった。実質的に全てのセルラ電話において、これらの回路はディスクリート構成要素と共に構築される。しかし、ディスクリート設計では、そのようなシステムの設計者に多くの問題が提起されている。

【0003】具体的には、ディスクリート構成要素は物理的に大きい。さらに、高周波動作は、ディスクリート・サイズの構成要素によって生じる寄生効果の存在により、しばしば非常に困難にあるいは不可能になる。さらに、ディスクリート構成要素のコストは、個別コストの点でも組立てコストの点でも高いものである。

【0004】VCO回路は、いくつかの理由で、集積回

路の形で製作するのが非常に困難であった。特に、これらの回路は可変リアクタを必要とする。具体的には、キャパシタが任意のVCO回路の不可欠な構成要素と見なされていると考えられてきた。しかし、標準の集積回路製造プロセスは、そのようなデバイスを生産するように最適化も設計もされておらず、それらが製作される状況では、オンチップ構成要素の品質は低い。特に、集積バラクタは、損失が大きく非線型であると考えられてきた。

10 【0005】本発明の動機づけは無線セルラ電話の問題から生じたにもかかわらず、電圧制御発振器の応用が本質的に普遍的な性質のものであるケースであることに留意されたい。VCOは基本的なシステム構成要素の構成単位であると考えられる。具体的には、これらの回路は、ディスク・ドライブや、印加同調電圧によって発振周波数を制御することが望まれる他の任意のシステムに見られる。

## 【0006】

【発明が解決しようとする課題】したがって、本発明の10 一目的は、改善された電圧制御発振器を提供することである。本発明の他の目的は、可変キャパシタとして使用できるような形でFETデバイスの特性を利用することである。

【0007】本発明の別の目的は、標準的な集積回路製造プロセスに従って回路チップ上に集積できる電圧制御発振器回路を提供することである。

【0008】本発明の別の目的は、損失は大きくないが、線形応答を与える集積可変キャパシタを提供することである。

30 【0009】本発明の別の目的は、無線電子装置で特に有用であり、セルラ電話およびセルラ電話システムでとりわけ有用である電圧制御発振器回路を提供することである。

【0010】本発明の別の目的は、高い周波数動作特性を示し、寄生効果の影響を比較的受けにくい(immune)電圧制御発振器回路を提供することである。

【0011】本発明の別の目的は、比較的低コストの電圧制御発振器を提供することである。

40 【0012】本発明の別の目的は、普通なら必要とされるはずのオンチップ集積回路構成要素の品質が低いことに関連する問題を解決することである。

【0013】本発明の別の目的は、複数の異なる周波数帯域にスイッチでき、または様々な周波数帯域からはずすことができる電圧制御発振器回路を提供することである。

【0014】最後に、ただしこれだけに限られるものではないが、本発明の一目的は、集積回路パッケージ内で高性能電圧制御発振器を提供することである。

【0015】本発明の様々な実施形態によって満たされる望ましい目的のリストをここに示したが、これは、こ

これらの目的のいずれかまたは全てが、本発明の最も一般的な実施形態またはより具体的ないずれかの実施形態において、個別にまたは集合的に不可欠または必要な特徴として存在することを、暗示または示唆するものではない。

#### 【0016】

【課題を解決するための手段】本発明の好ましい一実施形態によれば、電界効果トランジスタが、可変容量デバイスとして使用される。電界効果トランジスタでこの機能を実現するために、このデバイスのソースとドレインが互いに電気的に接続されて、2端子キャパシタの第1の端子を形成する。ゲートが他方の端子を形成する。

【0017】本発明の別の実施形態によれば、電圧制御同調回路は、キャパシタと複数の容量素子対を含む共振回路を備える。各容量素子はそれぞれ電界効果トランジスタから形成され、そのソースとドレインが電気的に互いに接続されて、実質的に、前の段落に記載した方式で可変キャパシタとして動作する。複数の容量素子対が、第1のキャパシタと並列に接続される。容量素子対のうち選択された対の実効容量を変更する手段が提供される。このようにして、容量素子対のうち様々な対を所望の容量状態にスイッチすることができ、また所望の容量状態からはずすことができる。たとえば、そのような対を4対含めることによって、4ビット入力により16個までの様々な帯域の選択が可能になる。

#### 【0018】

【発明の実施の形態】本発明は、MOSFETなどである電界効果トランジスタ・デバイスのソースとドレインが互いに接続されたとき、デバイスが可変キャパシタとして動作可能であることを利用する。具体的には、本発明は、ゲートとソース／ドレイン間の容量が印加電圧と共に著しく変化することを利用する。この回路素子はいくつかの重要な利点を提供する。具体的には、容量損失が、代替PNダイオードと比較するとはるかに小さい。さらに、印加電圧によって誘起される容量性モードへのスイッチングが急速である。このため、変更されたFET回路素子は、デジタル・スイッチング回路での使用にとって理想的なものになる。具体的には、そのような回路は、特に、セルラ電話内やある種のコンピュータ・ディスク・デバイス回路内における高周波動作に電圧制御発振器が使用される場合に有用であることに留意されたい。

【0019】本発明による電圧制御発振器を図2に示す。変形形態を図3に示す。図2に関して、トランジスタ $Q_1$ および $Q_2$ は標準発振器回路に接続され、発振周波数はインダクタ $L_1$ 、 $L_2$ およびキャパシタ $C_1$ の共振周波数と、図示のFETデバイス $M_1 \sim M_4$ によって与えられる可変キャパシタンスとによって決まることに留意されたい。より具体的には、4対の可変容量素子が示されている。たとえば、 $M_1$ および $M_2$ はそのような1対を構

10

20

30

40

50

成し、 $M_3$ および $M_4$ 、次いで $M_5$ および $M_6$ 、最後に $M_7$ および $M_8$ も同様にそのような1対を構成する。それぞれの場合に、FETデバイスはそのソースおよびドレインが、図1に示すように接続されている。より詳細には、抵抗 $R_1 \sim R_7$ を介して帯域選択電圧を印加することによって、キャパシタ $C_1$ を用いる共振回路に様々なレベルの実効容量が追加できる。したがって $C_1$ は、図示の電圧制御発振器用の周波数制御として作用するLC共振回路の下限容量を定義する。抵抗 $R_8$ を介してダイオード $D_1$ と $D_2$ の接合部に印加される同調電圧によって、これらのデバイスの容量は選択帯域内で変化する。

【0020】図4に、中間周波帯周波数領域内での同調電圧の関数としての周波数の変化を示す。この図は、複数の周波数帯域にわたって約50MHzの周波数変化が実現可能であることを示す。同様に、16帯域システムで、様々な帯域間の周波数の重なりを図5に示す。

【0021】本発明の好ましい実施形態では、インダクタ $L_1$ および $L_2$ は1ナノヘンリ・デバイスであり、キャパシタ $C_1$ は1ピコファラッド・キャパシタであり、抵抗 $R_1, R_2, R_3, R_4, R_5, R_6, R_7, R_8$ は全て1キロオーム・デバイスである。同様に、キャパシタ $C_2, C_3, C_4, C_7$ は1ピコファラッド・デバイスである。図4のキャパシタ $C_6$ および $C_7$ の場合も同様である。 $R_9$ も1キロオーム抵抗である。

【0022】したがって、上記回路と本発明のFETの使用は、本発明に関して先に示した全ての目的に合致することを理解されたい。特に、本発明によって、回路サイズの不利益 (penalty) が殆どなしに、単一の電圧制御発振器で数十の帯域のスイッチングが可能になることに留意されたい。このことは、ランプ・サム (lump sum) 量ずつ容量を追加し、または差し引いて共振周波数を変えることによって可能になる。2進重み (binary weight) を有するランプ (lump) を使用することによって、別個のデコーダ回路を必要とせず、単一の2進ワード (binary word) で帯域が直接選択される。特に、本発明では、FETデバイスのゲート対ソース容量が直接使用され、この適用例では完全に合致することがわかる。より具体的には、ゲート対ソース容量は、2つの状態 (FETがオンのとき、およびFETがオフのとき) の間の有意の変化を示し、これは、どちらの状態においても高い線形性を示す低損失デバイスである。

【0023】まとめとして、本発明の構成に関して以下の事項を開示する。

【0024】(1) ソース、ゲート、およびドレインを有する電界効果トランジスタと、それらに対する電気的接続部とを備え、前記ソースと前記ドレインがそれによって互いに電気的に接続されてキャパシタの第1端子を形成し、前記ゲート接続部がキャパシタの第2端子を形成する2端子キャパシタ。

(2) 前記トランジスタがMOSFETである、上記

(1) に記載のキャパシタ。

(3) キャパシタを含む共振回路と、複数の容量素子対であって、容量素子の少なくとも1つがFETデバイスを含み、そのソースとドレインが互いに接続されて2端子容量素子の一方の端子を形成し、前記FETデバイスのゲートが前記少なくとも1つの容量素子の第2端子であり、容量素子対の各メンバが直列に接続され、容量素子対が前記共振回路のキャパシタと並列に接続された、複数の容量素子対と、前記素子対のうち選択された対の容量を変更する手段とを備える電圧制御同調回路。

(4) 前記変更手段が、前記ゲートの1つを選択するために電圧を印加する回路を含む、上記(3)に記載の回路。

(5) 前記各容量素子対がFETデバイスを含む、上記(3)に記載の回路。

#### 【図面の簡単な説明】

【図1】可変容量回路素子として動作可能になるようにソースとドレインが接続された電界効果トランジスタ・デバイスの使用を示す概略図である。

【図2】本発明による、図1に示すFET/容量回路を使用する電圧制御発振器を示す概略回路図である。

【図3】本発明による電圧制御発振器の代替バージョンの概略図である。

【図4】周波数と同調電圧の関係をプロットしたグラフである。

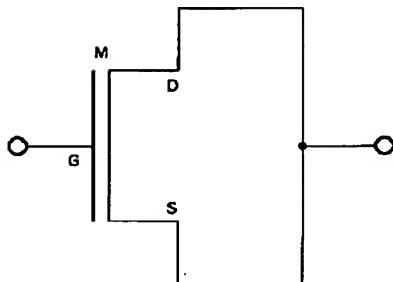
【図5】本発明の動作で行われるような電圧制御発振器帯域スイッチングを示す、シミュレーション・グラフで\*

\* ある。

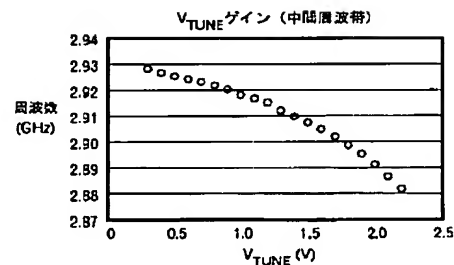
#### 【符号の説明】

Q <sub>1</sub>	トランジスタ
Q <sub>2</sub>	トランジスタ
M <sub>1</sub>	FETデバイス
M <sub>2</sub>	FETデバイス
M <sub>3</sub>	FETデバイス
M <sub>4</sub>	FETデバイス
M <sub>5</sub>	ETデバイス
10 M <sub>6</sub>	FETデバイス
M <sub>7</sub>	FETデバイス
M <sub>8</sub>	FETデバイス
L	インダクタ
L <sub>1</sub>	インダクタ
C <sub>1</sub>	キャパシタ
C <sub>2</sub>	キャパシタ
C <sub>3</sub>	キャパシタ
C <sub>4</sub>	キャパシタ
C <sub>5</sub>	キャパシタ
C <sub>6</sub>	キャパシタ
C <sub>7</sub>	キャパシタ
20 C <sub>8</sub>	キャパシタ
R <sub>1</sub>	抵抗
R <sub>2</sub>	抵抗
R <sub>3</sub>	抵抗
R <sub>4</sub>	抵抗
R <sub>5</sub>	抵抗
R <sub>6</sub>	抵抗
D <sub>1</sub>	ダイオード
D <sub>2</sub>	ダイオード

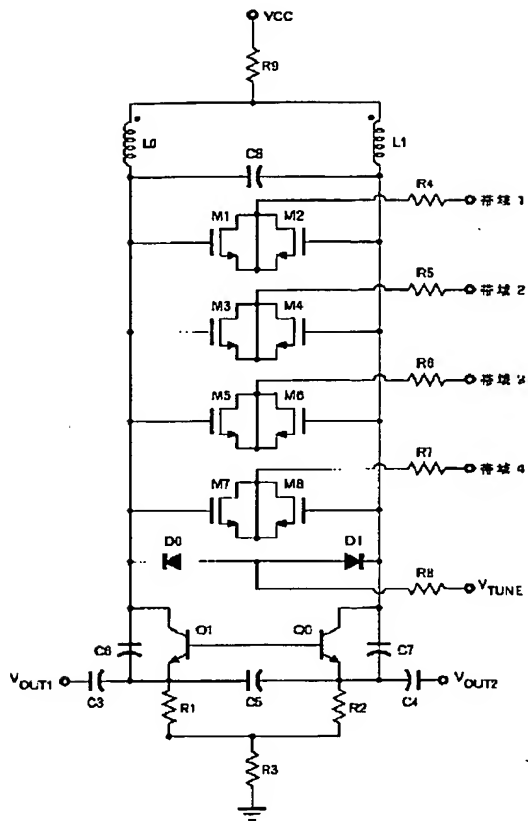
【図1】



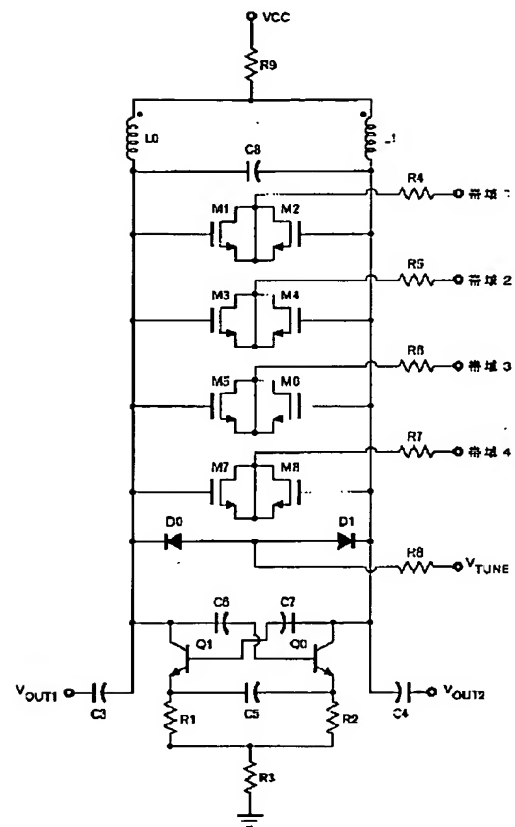
【図4】



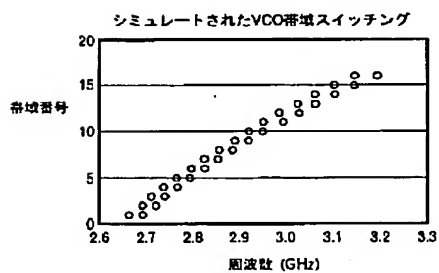
【図2】



【図3】



【図5】



フロントページの続き

(72)発明者 ジェイムズ・インボーノン  
 アメリカ合衆国01844 マサチューセッツ  
 州メシュエン アーヅラ・ロード 21